СоДЕРЖАНИЕ

[Правила трассировки РАЗЪЕМОВ 2](#_Toc62195204)

[Разъемы питания 2](#_Toc62195205)

[Разъёмы интерфейсов 4](#_Toc62195206)

[Сигнальные разъемы 6](#_Toc62195207)

[Разъемы подключения нагрузок и исполнительных механизмов 7](#_Toc62195208)

[Регламент проектирования печатных плат 8](#_Toc62195209)

[Этапы проектирования электроники 8](#_Toc62195210)

[DRC 8](#_Toc62195211)

[Правила подписи печатных плат 9](#_Toc62195212)

[Трассировка цепей микросхем 10](#_Toc62195213)

[Соединение падов SMD компонентов 11](#_Toc62195214)

[Трассировка дорожек относительно падов 12](#_Toc62195215)

[Правила проектирования при заказе плат с «Резонита» 13](#_Toc62195216)

[Регламент проверки проектирования электроники 14](#_Toc62195217)

[Стандартная проверка 14](#_Toc62195218)

[Экспертная проверка 14](#_Toc62195219)

[РЕГЛАМЕНТ ПРОВЕРКИ ПАЕЧНЫХ РАБОТ. 15](#_Toc62195220)

# Правила трассировки РАЗЪЕМОВ

### Разъемы питания

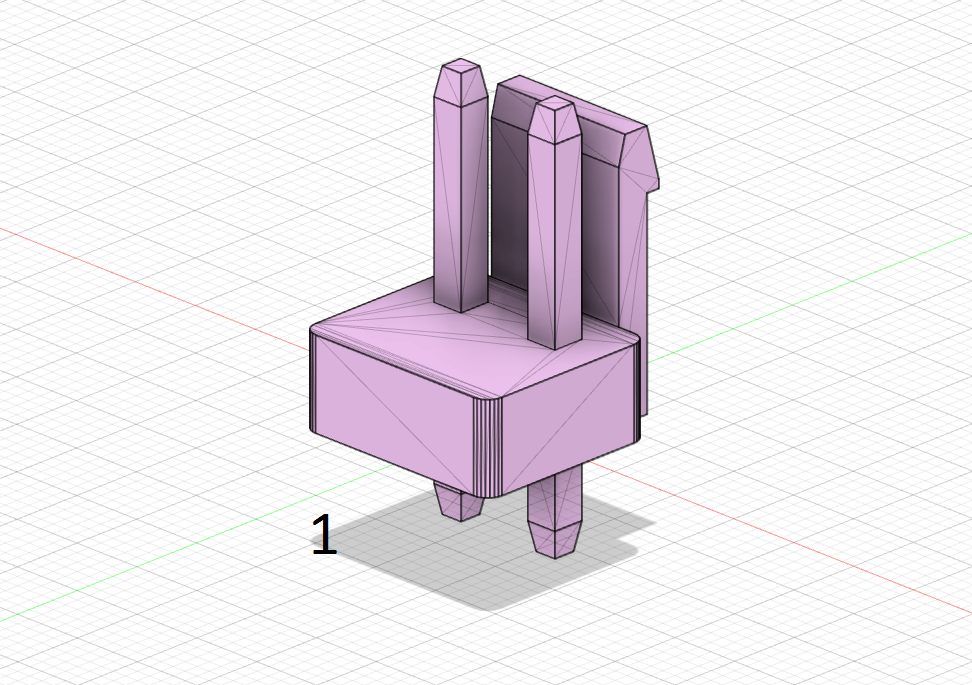
**JST-XH**

****

1. VIN
2. GND

(Допустимый ток – 3А)

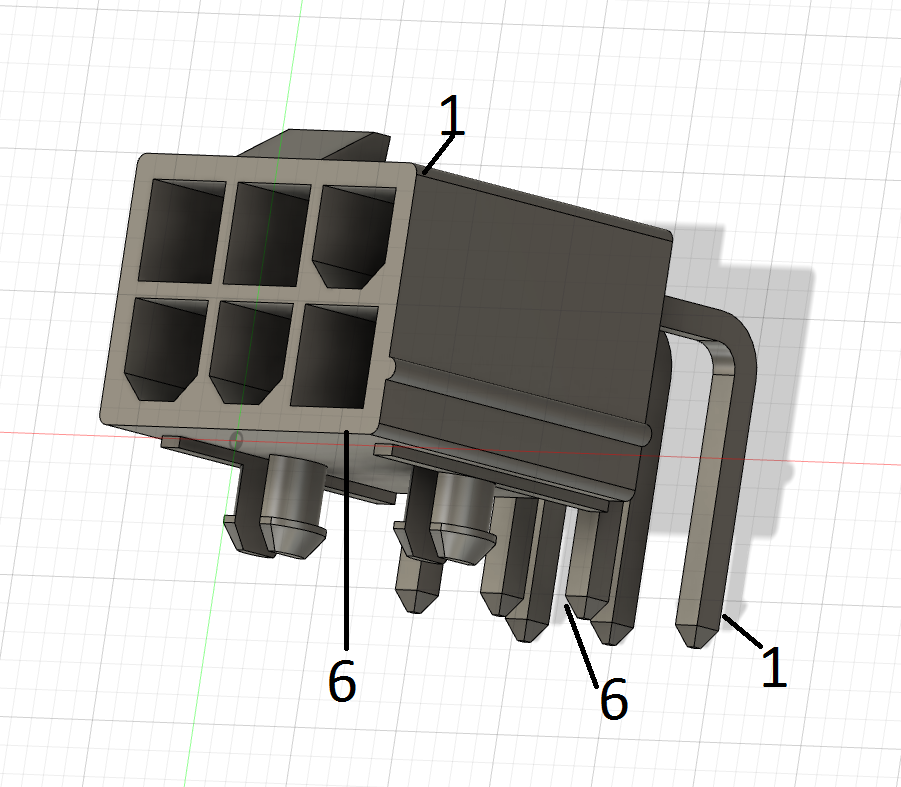
**JST-VH**

****

1. GND
2. VIN

(Допустимая нагрузка – 10А)

**MOLEX 6H**

****

1. 1-3 – VIN
2. 4-6 – GND

(Допустимая нагрузка – 39А)

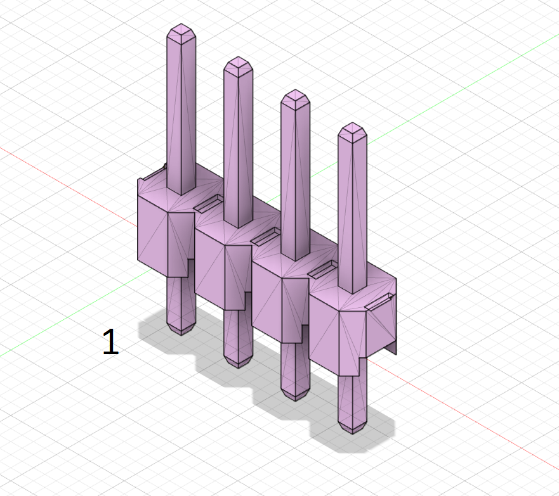
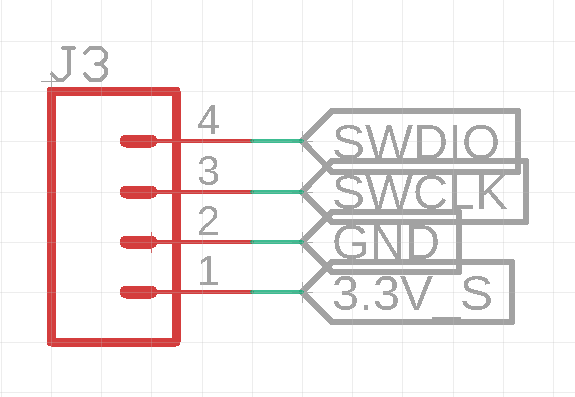
### Разъёмы интерфейсов

**CAN JST-XH**

****

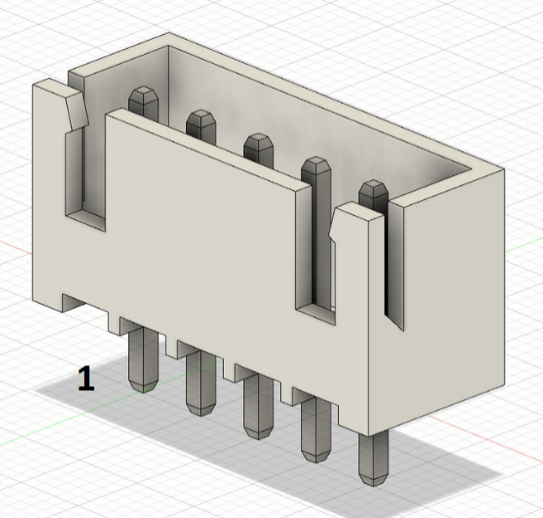
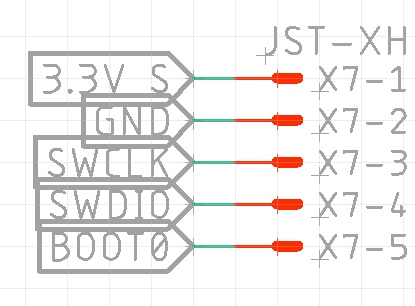
1. CANH
2. CANL

**Прошивка STM PLS-2.54**

****

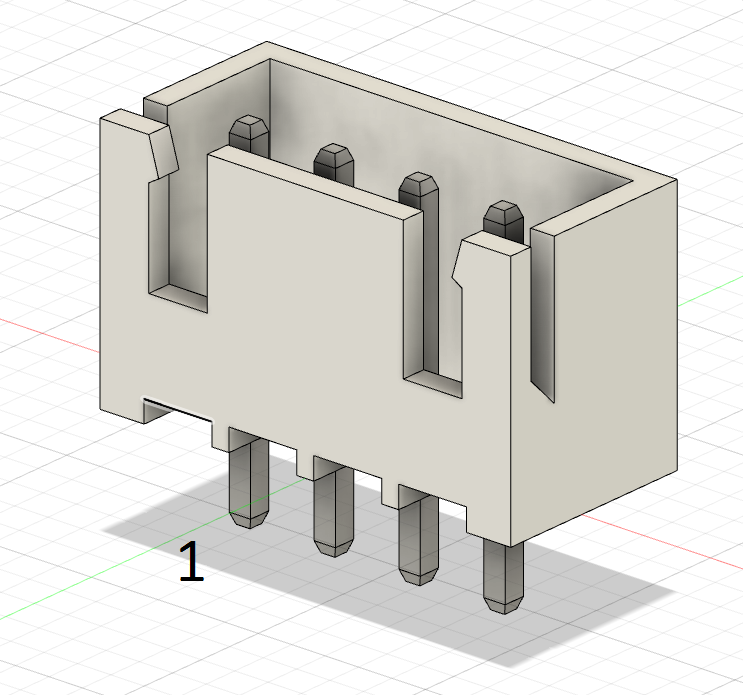
1. 3.3V
2. GND
3. SWCLK
4. DIO

**Разъем прошивки STM для удаленного программирования JST-XH5**

**** 

1. 3.3V
2. GND
3. SWCLK
4. DIO
5. BOOT0

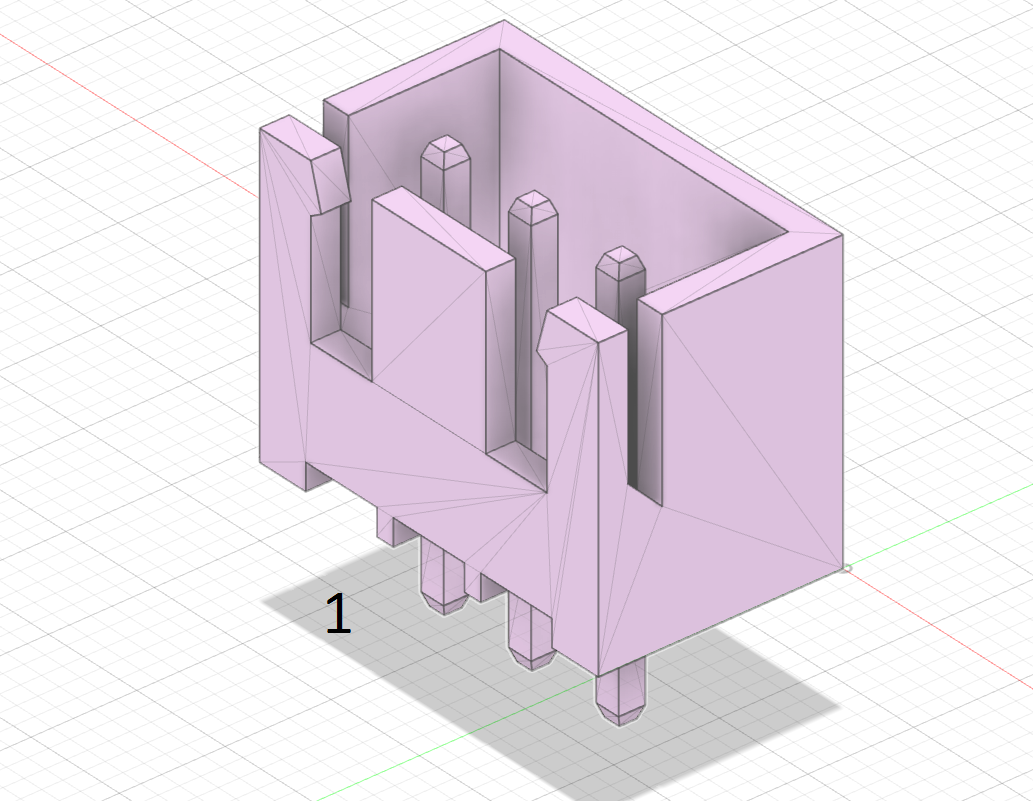
**USB-JST-XH4**



1. 5v
2. D-
3. D+
4. GND+Shield

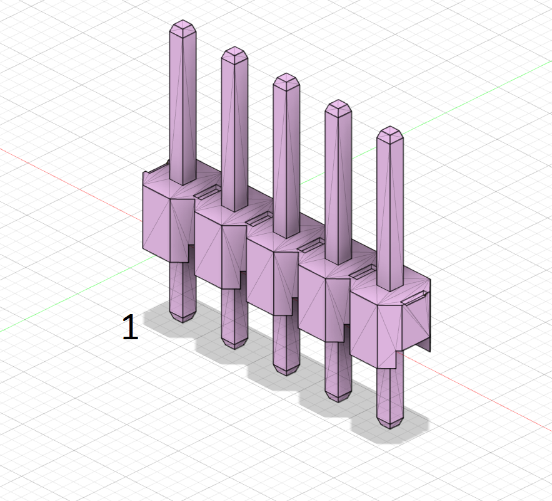
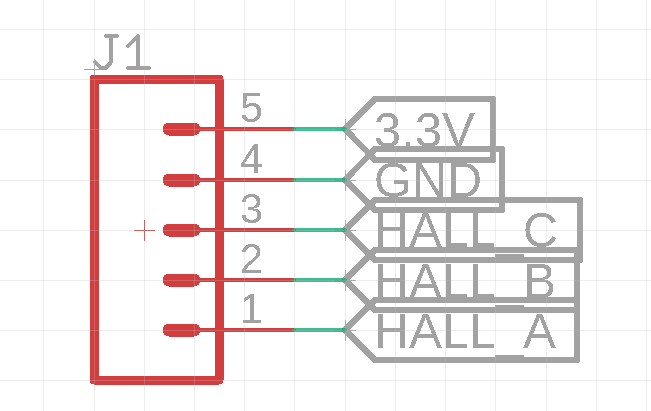
### Сигнальные разъемы

**Разъем соединяя датчиков с 1 сигнальным выводом JST-XH**

****

1. VIN
2. Analog/Digital
3. GND

**Разъем соединения Датчиков Холла PLS**

1. Hall A
2. Hall B
3. Hall C
4. GND
5. 3.3V

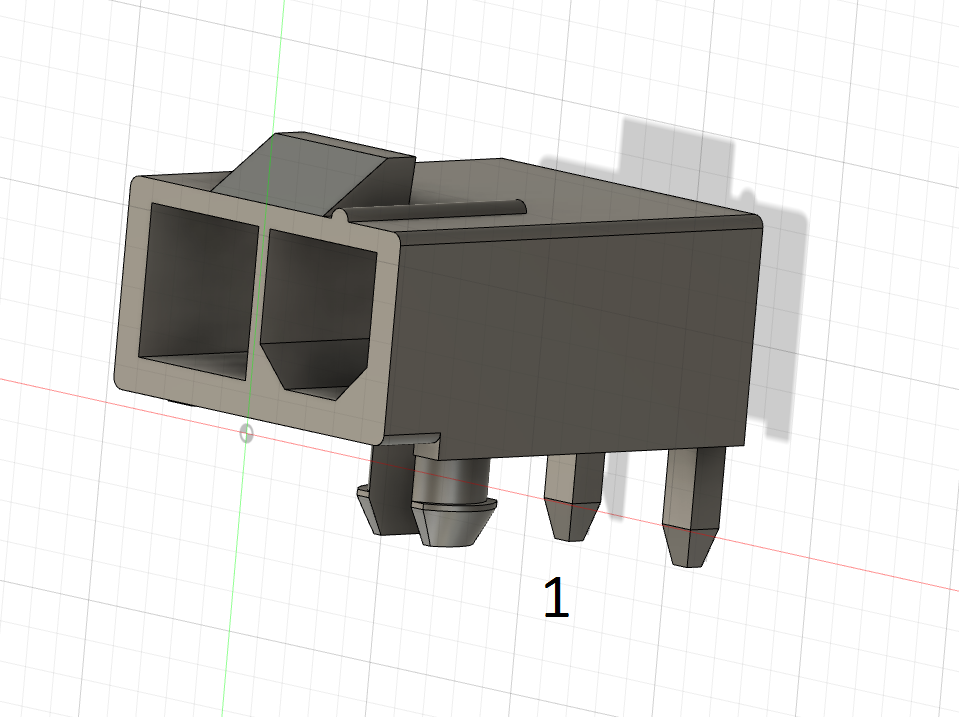
### Разъемы подключения нагрузок и исполнительных механизмов

**JST-XH2**

****

1. OUT+
2. GND

**MOLEX 2H**

****

1. VOUT
2. GND

# Регламент проектирования печатных плат

### Этапы проектирования электроники

1. Получение и обсуждение технического задания (ТЗ) на проектирование
2. При необходимости согласование выводов микроконтроллера с разработчиком ПО (см документы. «Листы согласования пинов микроконтроллера»)
3. Разработка схемы в соответствии с ТЗ и структурной схемой
   1. При проектировании **ИСПОЛЬЗОВАТЬ** только утвержденные библиотеки (репозиторий GitHub).
   2. При наличии дизайн- блока **ЗАПРЕЩЕНО самостоятельно проектировать соответствующую схему. Расценивается как растрата рабочего времени.**
   3. **ЗАПРЕЩЕНО копировать схемы. Необходимо выполнять проектирование с использованием библиотек и дизайн-блоков**
   4. Наименование компонентов и номиналов в соответствии с ЕСКД
4. Утверждение принципиальной схемы с разработчиком ТЗ
5. Разработка печатной платы
   1. Согласование расстановки компонентов и разъемов с проектировщиком корпусных элементов
   2. В шелкографии печатной платы пишется название элемента в соответствии со схемой (С1, R6, VT2 и т.д.)
6. Стандартная проверка (см. «Регламент проверки проектирования электроники»)
7. Экспертная проверка (см. «Регламент проверки проектирования электроники»)
8. Формирование **GERBER –**файлов

### DRC

**DRC для плат в 2 слоя**

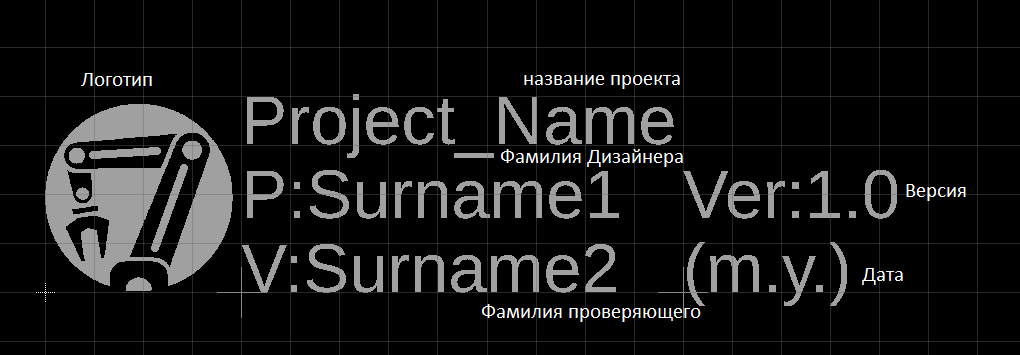
1. Конфигурация слоев: (1\*16)
2. Clearance 5 mil между разными дорогами, 0 mil между одинаковыми сигналами (Переходы, пады)
3. Минимальное переходное отверстие – 0.3мм
4. Annular Ring – 0.75 mil
5. Stop – 2 mil, Limit – 3mm (перекрывает все отверстия маской, можно вносить правки, либо выборочно открывать нужные отверстия)

**DRC для плат в 4 слоя**

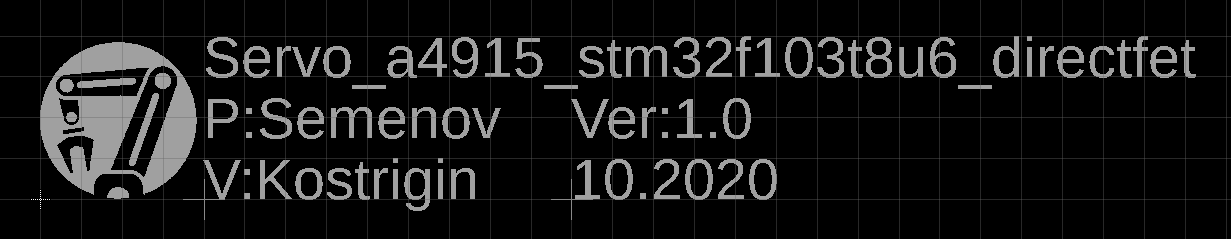
1. Конфигурация слоев: (1\*2\*15\*16)
2. Clearance 5 mil между разными дорогами, 0 mil между одинаковыми сигналами (Переходы, пады)
3. Минимальное переходное отверстие – 0.2мм
4. Annular Ring – 0.125 mil
5. Stop – 2 mil, Limit – 3mm (перекрывает все отверстия маской, можно вносить правки, либо выборочно открывать нужные отверстия)

### Правила подписи печатных плат

1. Название платы должно совпадать с названием проекта на **ГитХабе**.
2. Оформление подписи и логотипа печатной платы в соответствии со следующим шаблоном:



Пример заполнения шаблона:

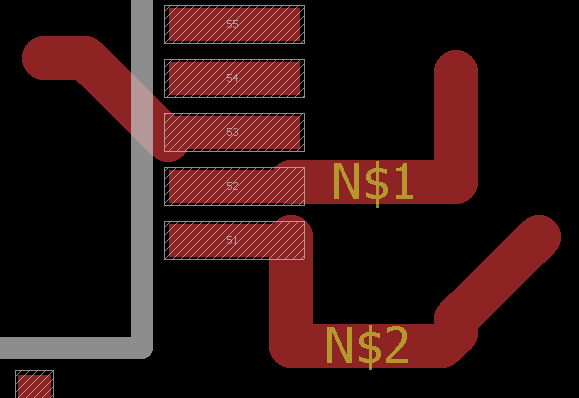


1. Допустимо изменение расположения логотипа относительно подписи печатной платы.

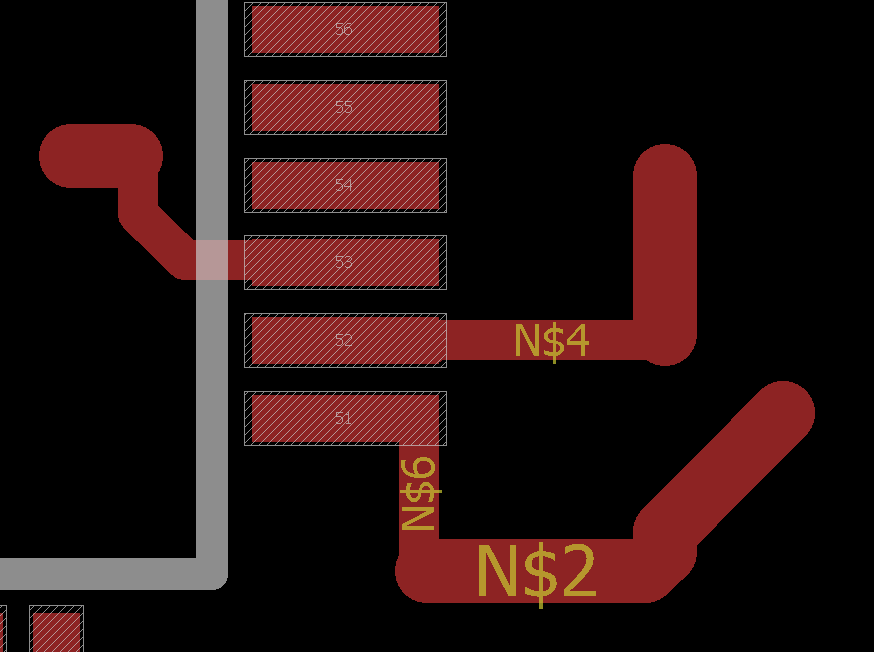
Пример шаблона находится в архиве: «Шаблон подписи ПП»

### Трассировка цепей микросхем

1. Недопустимый вариант

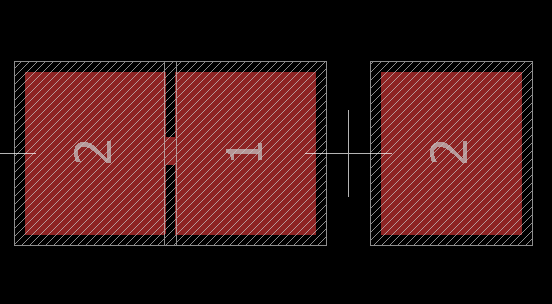


1. Правильный вариант

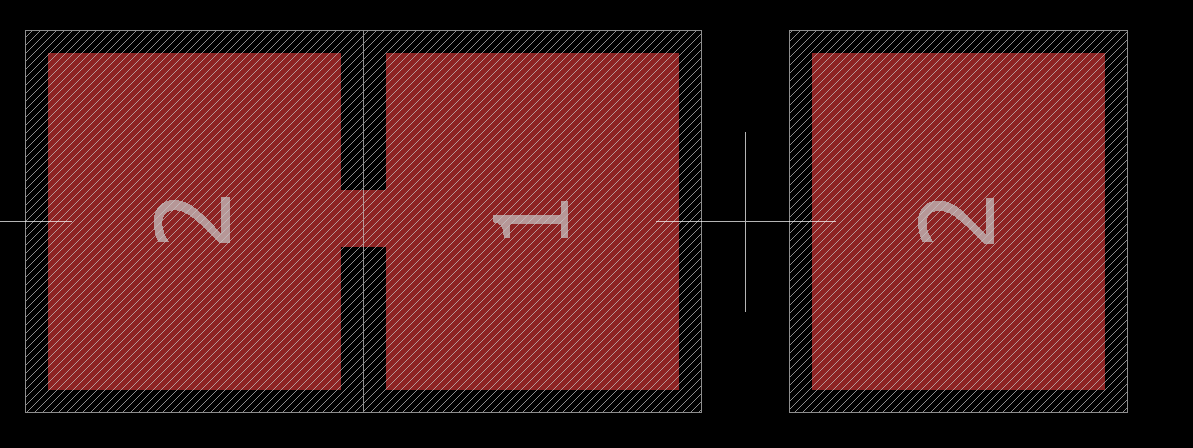


### Соединение падов SMD компонентов

1. Недопустимый вариант

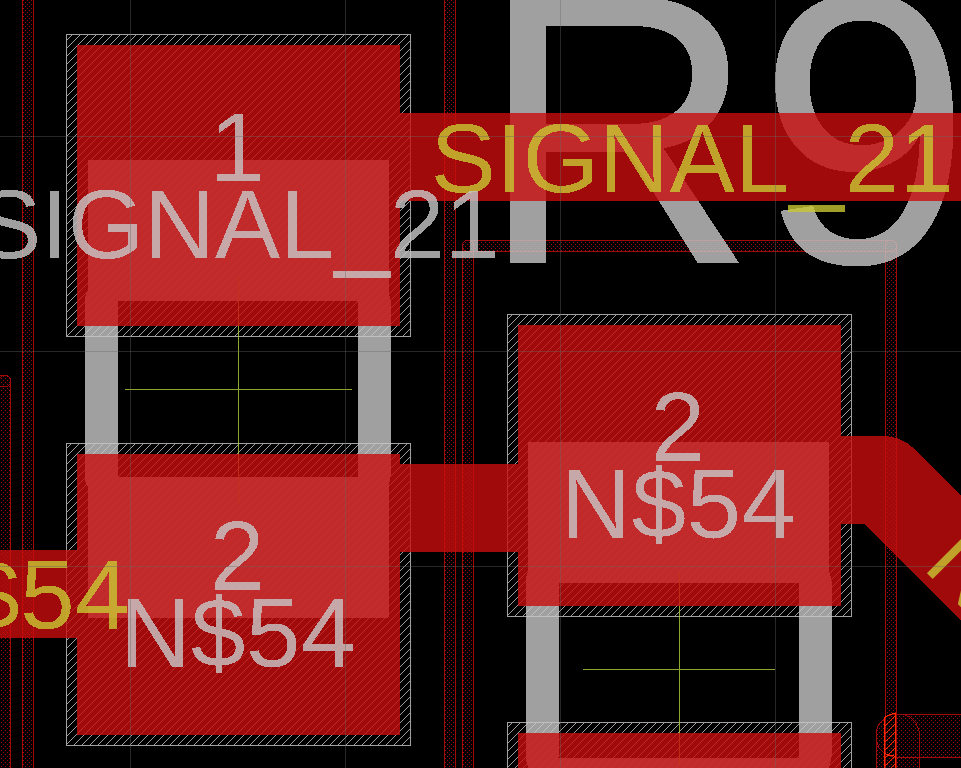


1. Правильный вариант

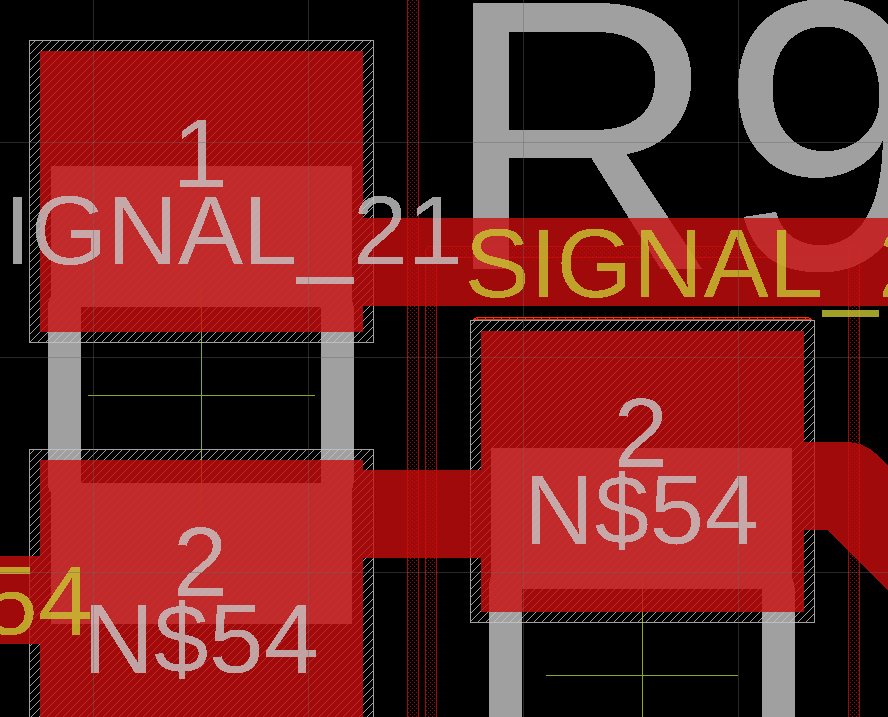


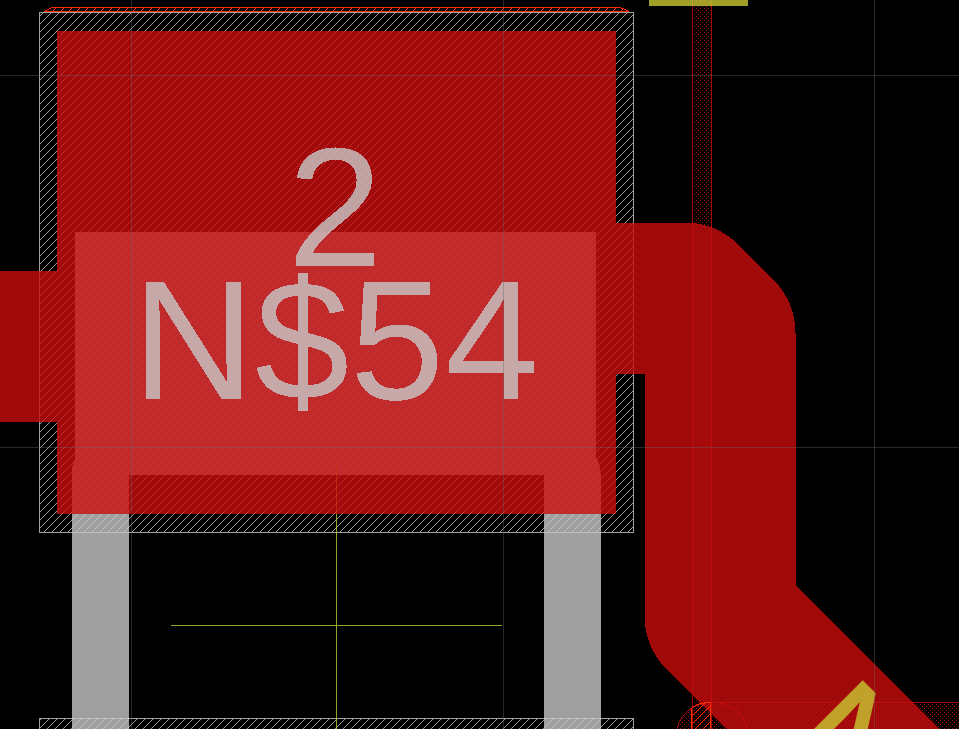
### Трассировка дорожек относительно падов

1. Правильный вариант



1. Недопустимые варианты





### Правила проектирования при заказе плат с «Резонита»

Необходимо, чтобы слой Place не заходил и был на небольшом расстоянии от слоя Stop

1. Недопустимый вариант



1. Правильный вариант



# Регламент проверки проектирования электроники

### Стандартная проверка

1. Проверка DRC

2. Проверка «Резонитом»

3. Проверка использования утвержденных библиотек

4. Проверка стандартов разъемов

5. Проверка норм крепежных отверстий

6. Нет пустых цепей и элементов в воздухе на схеме

### Экспертная проверка

1. Проверка схемотехники на соответствие ТЗ

2. Правильность расположения компонентов и трассировки цепей

3. Проверка «мануфактуринг»

# РЕГЛАМЕНТ ПРОВЕРКИ ПАЕЧНЫХ РАБОТ.

1. После окончания паечных работ монтажник должен отмыть плату в специальной ванне, если на плате нет элементов, которые нельзя мочить. В ином случае плата аккуратно отмывается с помощью ацетона или вайт-спирита тканевой салфеткой или просто салфеткой/туалетной бумагой.
2. После мойки монтажник должен высушить плату на нижнем подогреве или положив на газету.
3. После сушки печатной платы необходимо отдать плату на проверку пайки проверяющему. Проверка подразумевает собой визуальный осмотр и при наличии спорных моментов осмотр под микроскопом.
4. При наличии непропаев на плате места непропаев помечаются флюсом, либо маркером и отдаются обратно на доработку монтажнику.
5. При повторной допайке все шаги повторяются.